

1/3/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 The Thomson Corp. All rts. reserv.

014764801 **Image available**
WPI Acc No: 2002-585505/200263
XRAM Acc No: C02-165637
XRPX Acc No: N02-464395

**MOS field effect transistor for use in LSI, has source and drain layers
having top surfaces positioned above bottom surface of gate electrode**

Patent Assignee: UNIV TOHOKU (TOHO); MATSUURA T (MATS-I); MUROTA J
(MURO-I); SAKURABA M (SAKU-I); TSUCHIYA T (TSUC-I)

Inventor: MATSUURA T; MUROTA J; SAKURABA M; TSUCHIYA T
Number of Countries: 029 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1231643	A2	20020814	EP 20022549	A	20020204	200263 B
JP 2002237590	A	20020823	JP 200134263	A	20010209	200271
US 20020109135	A1	20020815	US 200262455	A	20020205	200275
KR 2002066191	A	20020814	KR 20026988	A	20020207	200310

Priority Applications (No Type Date): JP 200134263 A 20010209

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 1231643	A2	E	10	H01L-029/10	
------------	----	---	----	-------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI TR

JP 2002237590	A		8	H01L-029/78	
---------------	---	--	---	-------------	--

US 20020109135	A1			H01L-029/06	
----------------	----	--	--	-------------	--

KR 2002066191	A			H01L-029/772	
---------------	---	--	--	--------------	--

161
BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237590

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H01L 29/78
H01L 21/205
H01L 21/225
H01L 29/786
H01L 21/336

(21)Application number : 2001-034263

(71)Applicant : UNIV TOHOKU

(22)Date of filing : 09.02.2001

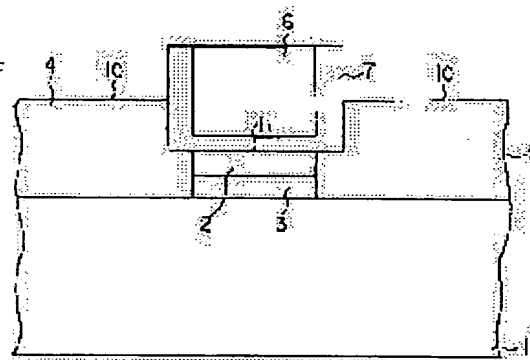
(72)Inventor : MUROTA JUNICHI
SAKURABA MASAO
MATSUURA TAKASHI
TSUCHIYA TOSHIKI

(54) MOS FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve electron and hole mobilities in a channel party by employing a distorted Si/SiGe structure (or distorted Si/SiGeC structure), to keep the crystallinity of such a heterostructure in a proper condition, to prevent shortening of an effective channel length and diffusion of a Ge, and to reduce the resistance of the source layer and drain layer.

SOLUTION: An MOS field effect transistor is constructed, in such a manner that a channel region has a laminated structure formed in the order of an Si layer (2) and an SiGe or an SiGeC layer (3), a source layer (4) and a drain layer (5), which is formed of an SiGe or SiGeC containing high concentration impurity atoms which are formed by low-temperature chemical vapor deposition method and provides a desired conductive shape, contract with both ends of the channel region; and the surfaces of the source and drain layers formed of the SiGe or the SiGeC are shaped so as to be raised upward from the bottom position of a gate electrode (6).



LEGAL STATUS

[Date of request for examination] 09.02.2001

[Date of sending the examiner's decision of rejection] 20.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237590

(P2002-237590A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H O 1 L	29/78	H O 1 L	21/205	5 F 0 4 0
	21/205		21/225	D 5 F 0 4 5
	21/225		29/78	3 0 1 H 5 F 1 1 0
	29/786			3 0 1 B
	21/336			3 0 1 S
審査請求 有 請求項の数 6 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願2001-34263 (P2001-34263)

(22) 出願日 平成13年2月9日 (2001.2.9)

(71) 出願人 391012394

東北大学長

宮城県仙台市青葉区片平2丁目1番1号

(72) 発明者 室田 淳一

宮城県仙台市青葉区土樋1-6-23-403

(72) 発明者 櫻庭 政夫

宮城県仙台市若林区疊屋丁39 メゾン・エ
スポワール101

(72) 発明者 松浦 孝

宮城県仙台市太白区郡山6丁目5の13の
204

(74) 代理人 100058479

弁理士 鈴江 武彦 (外5名)

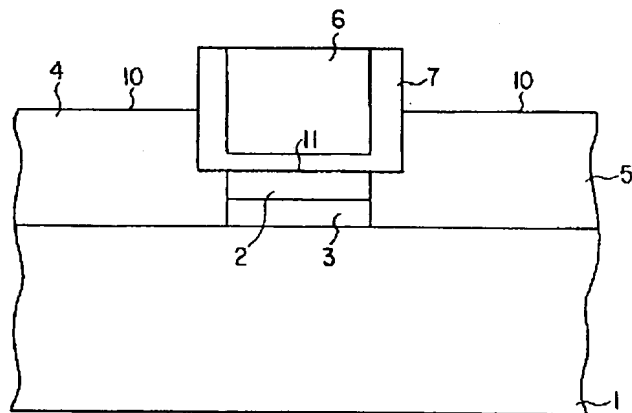
最終頁に続く

(54) 【発明の名称】 MOS型電界効果トランジスタ

(57) 【要約】

【課題】 歪Si/SiGe構造（または歪Si/SiGeC構造）を採用してチャネル部分の電子移動度または正孔移動度の向上を行うと共に、かかるヘテロ構造の結晶性を良好な状態に保ち、実効チャネル長の短縮を防ぎ、Geの拡散を防ぐと共に、ソース層およびドレイン層の抵抗を低くする。

【解決手段】 チャネル領域が表面から順にSi層（2）および、SiGeまたはSiGeC層（3）からなる積層構造を有し、該チャネル領域の両端面には低温化学気相成長法により形成された所望の導電形を与える高濃度不純物原子を含むSiGeまたはSiGeCからなるソース層（4）およびドレイン層（5）が接しており、SiGeまたはSiGeCからなる該ソース層およびドレイン層の表面は、ゲート電極（6）の底部位置より上方にせり上げられた形状を有するMOS型電界効果トランジスタ。



【特許請求の範囲】

【請求項 1】 絶縁膜を介して形成されたゲート電極がチャネル領域の電気導通を制御する MOS 型電界効果トランジスタであって、

前記チャネル領域が表面から順に Si 層および、SiGe または SiGeC 層からなる積層構造を有し、

前記チャネル領域の両端に気相成長法により形成された所望の導電形を与える高濃度不純物原子を含む SiGe または SiGeC のいずれかからなるソース層およびドレイン層がそれぞれ接しており、

前記ソース層およびドレイン層の上面は前記ゲート電極の底部位置より上方にあることを特徴とする MOS 型電界効果トランジスタ。

【請求項 2】 前記チャネル領域および前記ソース層およびドレイン層が Si 基板の上部に形成されていることを特徴とする請求項 1 に記載の MOS 型電界効果トランジスタ。

【請求項 3】 前記チャネル領域および前記ソース層およびドレイン層が絶縁層の上部に形成されていることを特徴とする MOS 型電界効果トランジスタ。

【請求項 4】 前記ソース層およびドレイン層の底部が、前記チャネル領域の底部位置もしくはその下方に位置し、前記チャネル領域の直下に Si 基板の伝導型と同一の伝導型不純物を Si 基板内よりも高濃度に含む領域を有することを特徴とする請求項 2 に記載の MOS 型電界効果トランジスタ。

【請求項 5】 前記 Si 基板の伝導型と同一の伝導型不純物を Si 基板内よりも高濃度に含む領域は原子層ドーピング層であることを特徴とする請求項 4 に記載の MOS 型電界効果トランジスタ。

【請求項 6】 前記ソース層およびドレイン層が 550 °C 以下の低温化学気相成長法により形成された層であることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の MOS 型電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は MOSFET に有効に利用し得る半導体装置の構造に関するものであり、より詳しくは、チャネル領域に Si 層/SiGe 層（または Si 層/SiGeC 層）からなる積層領域を設けて n MOSFET および/p MOSFET を形成する半導体装置に関するものである。

【0002】

【従来の技術】MOSFET の高速化のため、歪 Si/SiGe 構造による歪 Si の電子移動度と正孔移動度の向上効果（例えば、Semicond. Sci. Technol. Vol. 13, pp. 1225-1246, 1998 C K Maiti et al “Strained-Si heterostructure field effect transistors）を利用し、Si 基板上にチャネル領域として歪 Si/SiGe 構造を形成した n MOSFET（例えば、1994 IEDM Tech. Di

g., pp. 373-376）や p MOSFET（例えば、1995 IEDM Tech. Dig., pp. 517-520）の提案がなされている。歪 Si/SiGe（または SiGeC）構造は Si と SiGe（または SiGeC）の格子定数の差に基づいて Si 層に歪みを与えるもので、Si 層のエネルギーバンド構造を変えることにより電子移動度または正孔移動度の向上を図るものである。

【0003】例えば図 5 に示すように、n MOSFET 31 の場合には、チャネル領域を形成するために Si 基板 35 上に表面から順に、歪 Si 層 32、無歪 SiGe 層 33、および SiGe 傾斜バッファ層 34 が配置された構造が知られている。また図 6 に示すように、p MOSFET 41 の場合には、Si 基板 46 上にチャネル領域を形成するために、表面から順に、歪 Si 層 42、歪 SiGe 層 43、無歪 SiGe 層 44 および SiGe 傾斜バッファ層 45 が配置された構造が知られている。そして、MOSFET 動作のため、それぞれソース領域 37、47、ドレイン領域 38、48、ゲート酸化膜 39、49 およびゲート電極 36、50 が形成されている。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術における MOSFET 素子 31、41 のソース領域 37、47 およびドレイン領域 38、48 の形成には、通常、所定の不純物のイオン注入とそれに続く熱処理工程が用いられている。このような熱処理においては注入された原子の基板結晶内での移動を可能にするため高温の熱処理工程を必要とする。一事例を挙げれば、625 °C で 2.5 分間とこれに続く 850 °C での 10 秒間（例えば、IEEE Electron Device Letters, vol. 15, no. 3 pp. 100-102 参照）の熱処理が行なわれる。

【0005】このような高温熱処理のために、SiGe 層 33、43 の Ge 比率が 0.3 以上の高濃度になると Si 層 32、42 への Ge の拡散が避けられず、Si/SiGe（または Si/SiGeC）界面の荒れを招き、良質のヘテロ構造が得にくくなるという問題がある。

【0006】また、高温熱処理により、ソースおよびドレイン層内の n 形または p 形不純物原子がチャネル領域に拡散し、実効チャネル長を短縮させるという問題がある。かかる実効チャネル長の短縮化は、特に極微細ゲート長の素子においてソースとドレイン間の短絡をもたらし場合がある。

【0007】また、極微細ゲート長の MOSFET 素子に適用する場合には、MOSFET の短チャネル効果を抑制するために、パンチスルー抑止のための高不純物濃度領域（パンチスルーストップ領域）をソースとドレイン間に設けることが通例である。パンチスルーストップ領域は例えばチャネル領域形成後にイオン注入とその後の熱処理によって形成する。このような場合にも、高温

熱処理によるSiGe層33, 43からのGeの拡散が生じるという問題がある。

【0008】さらに、一般にソースおよびドレイン層の深さは、素子の微細化と共に浅くなる傾向にあり、極微細素子においてはソースおよびドレイン層のそれぞれの抵抗増加がMOSFET素子の性能を低下させる。このため、例えばソースおよびドレイン層上にさらに抵抗低減のための追加の不純物高ドーパSi層を成長させて、ソースおよびドレインの各抵抗を低下させる構造にする工程の追加をしなければならないという問題がある。

【0009】したがって、本発明は、上記従来技術の種々の問題点に鑑みてなされたもので、歪Si/SiGe構造（または歪Si/SiGeC構造）を採用してチャネル部分の電子移動度または正孔移動度の向上を行うと共に、かかるヘテロ構造の結晶性を良好な状態に保ち、且つ実効チャネル長の短縮を防ぎ、不所望のGeの拡散を防ぐと共に、ソース層およびドレイン層の抵抗をより低下させて、微細化され、より高速の動作を可能とする半導体素子を得ることを目的とする。

【0010】

【課題を解決するための手段】以上のような技術的問題点を解決し、超高速、低消費電力のLSIを実現するために、本発明に係るMOS型電界効果トランジスタは、チャネル領域がゲート下面から順にSi層およびSiGe（またはSiおよびSiGeC）層の積層構造とし、このチャネル領域の両端面には550°C以下の低温化学気相成長法により形成される例えば 10^{20}cm^{-3} 以上の高濃度不純物を含むSiGe（またはSiGeC）からなるソースおよびドレイン層を形成し、且つ、このSiGe（またはSiGeC）ソース/ドレイン層の上面はゲート電極底部位置より上方にせり上げられた形状を有するように形成するものである。さらに、本発明によるMOS型電界効果トランジスタは、短チャネル効果を抑制するためSiおよびSiGe（またはSiおよびSiGeC）チャネル領域の直下のSi基板内またはSi基板上に、Si基板の伝導型と同一の伝導型不純物をSi基板よりも高濃度を含む領域を形成するものである。

【0011】即ち、本発明は、ゲート電極が絶縁膜を介して形成されたチャネル領域の電気導通を制御するMOS型電界効果トランジスタであって、チャネル領域が表面から順にSi層および、SiGeまたはSiGeC層からなる積層構造を有し、チャネル領域の両端には気相成長法により形成された所望の導電形を与える高濃度不純物原子を含むSiGeまたはSiGeCのいずれかからなるソース層およびドレイン層がそれぞれ接しており、ソース層およびドレイン層の上面は、ゲート電極の底部位置より上方にあるMOS型電界効果トランジスタである。

【0012】さらに、このチャネル領域およびソース層

およびドレイン層がSi基板の上部に形成されているいわゆるバルクシリコン型のMOS型電界効果トランジスタであり、またチャネル領域および前記ソース層およびドレイン層が絶縁層の上部に形成されているいわゆるSOI（Silicon On Insulator）型のMOS型電界効果トランジスタである。

【0013】さらに、ソース層およびドレイン層の底部が、チャネル領域の底部位置もしくはその下方に位置し、チャネル領域の直下にSi基板の伝導型と同一の伝導型不純物をSi基板内よりも高濃度を含む領域を有するMOS型電界効果トランジスタであり、そしてSi基板の伝導型と同一の伝導型不純物をSi基板内よりも高濃度を含む領域は原子層ドーピング層であるMOS型電界効果トランジスタである。また、ソース層およびドレイン層が550°C以下の低温化学気相成長法により形成された層であるMOS型電界効果トランジスタである。

【0014】本発明はソースおよびドレイン層を特に低温化学気相成長により形成するため、Geや不純物の拡散が抑制され、Si/SiGe（またはSi/SiGeC）ヘテロ構造の劣化が抑制され、さらにソースとドレイン間の短絡が防止される。ソースおよびドレイン層をせり上げ構造にするため寄生抵抗が低減され、ソースおよびドレイン層の形成時にソースおよびドレイン層を低抵抗にするための追加の工程、例えばイオン注入工程や不純物拡散工程等、の必要が無い。さらに、チャネル領域直下に例えば原子層ドーピングにより高濃度不純物領域を設けることにより、ソースおよびドレイン間のパンチスルーを抑制できる。

【0015】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。以下の説明は本発明に関する一実施の形態であり、本発明の一般原理を図解することを目的とするものである。したがって、本発明をこの実施の形態の欄および添付図面に具体的に記載された構成のみに限定するものではない。

【0016】図1に本発明の第1の実施の形態を示す。Si基板1上にチャネル領域が形成され、このチャネル領域は少なくともSi層2およびSiGe層（またはSiGeC層）3の積層構造を有する。Si基板1はnMOSFETを形成する場合はp形であり、pMOSFETを形成する場合はn形基板を使用する。

【0017】Si層2およびSiGe層（またはSiGeC層）3は例えば選択気相成長法により形成される。必要に応じてその他分子線エピタキシ法、蒸着法等を用いることも可能である。SiGe層（またはSiGeC層）3の厚さは10nm以下である。またSiGe層は例えば無歪SiGe層とSiGe傾斜バッファ層からなる多層構造とすることもできる。Si層2の厚さはおよそ5nm程度である。Si層2およびSiGe層（また

はSiGeC層) 3は例えば不純物を特に添加しないアンドープ層として形成することができる。しかし、MOSFETとしての閾値を調整するために、層形成時または層形成後にp形またはn形不純物を含ませることもできる。

【0018】このチャネル領域の両端にはSiGe (またはSiGeC) からなるソース層4およびドレイン層5が接している。ソース層4およびドレイン層5はその抵抗を低減するため、チャネルの導電型に対応して定まるおよそ 10^{20} cm^{-3} 以上の高濃度のn形またはp形の不純物を含ませるようにするのが望ましい。化学気相成長はチャネル領域のSiGe層 (またはSiGeC層) からのGeの拡散や表面荒れを抑制するために、 550°C 以下の条件で行なわれのが望ましく、さら望ましくは 500°C 以下での低温度気相成長が行なわれる。

【0019】このSiGe (またはSiGeC) によるソースおよびドレイン層は通常いわゆる選択エピタキシャル法により形成される。ソースおよびドレイン層は抵抗を低減するために十分な厚さを有するように形成されるので、その上端10は、ゲート電極底部11より上方に位置し、基板1からせり上げられた形状を有している。

【0020】Si層2の表面には通常のMOSFETと同様ゲート絶縁膜として機能する絶縁層7が形成されている。絶縁層7は例えば2酸化シリコンであり、ゲート絶縁膜として機能するSi層2と接する領域は、通常のMOSFET工程によりSi層2の表面を酸化することにより形成される。ゲート電極6はポリシリコンであり、通常のMOSFETのポリシリコンゲート電極と同様の工程により形成される。ゲート電極6の側壁には絶縁層7が形成されており、この絶縁層7を介してソース層4およびドレイン層5が形成されている。この実施の形態においてはゲート電極材としてポリシリコンやSiGe、SiGeCを用いているが、チタンやコバルト等の高融点金属材料を用いることもできる。ゲート電極6、ソース層4およびドレイン層5の表面には適切な方法でパッシベーションの絶縁膜20が形成され、所定のスルーホール29を介してそれぞれ電極30が取出される。

【0021】図2に第1の実施の形態の製造工程を示す。単結晶シリコン基板1を準備し、その表面に順次SiGe層 (またはSiGeC層) 3、Si層2、SiO₂層8、およびゲート電極6となるポリシリコン層を形成する。SiGe層はキャリアガスとしてH₂、Ar、または、N₂ガスを用い、例えばSiH₄およびGeH₄の分解による気相成長により形成する。SiGeC層の場合はさらにSiH₃CH₃を加えた気相成長により形成する。SiO₂層8は通常のMOSFETと同様、例えばSi層2の表面を熱酸化して形成することができ

る。ポリシリコン層はSiH₄ガスを用いた減圧CVD法等の通常の方法により形成する。ポリシリコン層は抵抗を下げるために通常の半導体プロセスにより成長時または成長後に高濃度の砒素、リン、ボロンなどのn形またはp形不純物がドーピングされる。次にリソグラフィ法によるポリシリコン層のパターンニングを行いゲート電極6を形成する。

【0022】次に、熱酸化を行いゲート電極6の上面および側面にSiO₂膜を形成する。この工程でSi層2の表面も一部酸化される。しかし、ポリシリコン層の酸化速度は早いので、ゲート電極6の上面のSiO₂膜の厚さXはSi層2の上面のSiO₂膜の厚さYよりも厚く形成される (図2 (d) 参照)。

【0023】次に、例えばSiH₄とNH₃気相反応によりシリコンナイトライド層9を基板表面の全面に形成する。

【0024】次に、例えばいわゆるECR (electron cyclotron resonance) プラズマエッチングを行い、Si層2のSi表面を露出させる。ECRプラズマエッチングは縦方向のエッチング速度が速い異方性エッチングのためゲート電極側壁の絶縁層8、9は十分残すことができる。また、ゲート電極6の上面のSiO₂膜はSi層2の上面のSiO₂膜に比べ厚いのでゲート電極上面を被覆可能な程度に残すことができる。

【0025】次に、例えばドライエッチング等の通常のエッチング処理により、上記工程で露出した部分のSi層2およびSiGe層 (またはSiGeC層) 3をエッチングし、ゲート領域部分のみを残す。このエッチング処理によりソースおよびドレイン領域のSi基板表面40が露出される。

【0026】次に露出された表面40にSiGe層 (またはSiGeC層) を選択気相成長させ、高濃度不純物を含むソース層およびドレイン層を形成する。チャネル領域のSiGe層 (またはSiGeC層) への不純物の拡散を防止するため、低温化学気相成長が行なわれる。気相成長はキャリアガスとしてH₂、Ar、または、N₂ガスを用い、例えばSiH₄およびGeH₄ (または例えばSiH₄、GeH₄およびSiH₃CH₃) の分解により行なわれる。SiO₂膜上等への不所望なSiGeまたはSiGeCの析出を防止するため、必要によりキャリアガス中にHClガスを添加することもできる。

【0027】次に、ゲート電極6、ソース層4およびドレイン層5を含む基板表面全体に適切な方法で例えばSi酸化物、Si窒化物等を含むパッシベーション膜20が形成される。さらに、所定のスルーホール29を介してそれぞれ電極30が形成されMOSFET素子が形成される。

【0028】図3に本発明の第2の実施の形態を示す。第12の実施の形態のSi基板に代えて1絶縁膜18上

の薄膜Si層19上にチャネル領域12、13が形成され、このチャネル領域は表面からSi層12、SiGe層（またはSiGeC層）13の積層構造になっている。そして、このチャネル領域の両端面には例えば550°C以下の低温化学気相成長法により形成されるP形またはN形の高濃度不純物を含むSiGe層（またはSiGeC層）からなるソース層14およびドレイン層15が接している。このSiGe層（またはSiGeC層）よりなるソース層14およびドレイン層15の上端10は、ゲート電極の底部11より上方にあり、せり上げられた形状を有している。

【0029】絶縁膜18上に薄膜Si層19が形成された構造は、一般にSOI（Silicon on Insulator）技術として知られている方法により形成することができる。例えば、Si基板に酸素を 10^{18} cm^{-2} 程度の高濃度でイオン注入し1300°C以上の高温熱処理により形成するSIMOX（Separation by Implanted Oxygen）ウエーハ、2枚のSi基板の少なくとも一方に酸化膜を形成し、酸化膜を介して2枚のSi基板を接着した後、一方のSi基板を薄くするいわゆるウエーハ張り合わせ技術によるウエーハ等が使用可能である。かかるウエーハを使用することにより、チップ内に複数のMOSFETを形成した集積回路に適用した場合における各FET素子間の絶縁が容易に行い得る。

【0030】図4に本発明の第3の実施の形態を示す。図1に示した第1の実施の形態と異なる点は、Si層22およびSiGe層（またはSiGeC層）23からなるチャネル領域の直下に、Si層54を介していわゆる原子層ドーピング法によって形成された、Si基板21の伝導型と同一の伝導型不純物をSi基板21内よりも高濃度を含む領域28、即ち、原子層ドーピング層28を有していることである。このような原子層ドーピング層28は、Si基板21表面に、例えばリン、ホウ素等の不純物原子層と、薄いSi層とを交互に析出させることにより形成される。原子層ドーピング法を用いることにより、 10^{21} cm^{-3} 以上の高不純物濃度層も得ることができる。

【0031】このため、SiGe層（またはSiGeC層）によるソース層24およびドレイン層25の底部51、52の位置は、Si/SiGe（またはSiGeC）チャネル領域の底部53と同等かまたはより下方に位置することになる。

【0032】第3の実施の形態の製造工程は、図2に示す第1の実施の形態の製造工程とほぼ同じである。異なる点は図2(b)におけるSiGe層（またはSiGeC層）3の形成前に上記原子層ドーピング層28およびSi層54が基板表面全体に形成されることである。

【0033】原子層ドーピング層28およびSi層54を形成した後、その上に順次、SiGe層（またはSiGeC層）23およびSi層22を形成する。その後、

図2の場合と同様にゲート酸化膜27およびゲート電極26を形成する。その後、ソース層24およびドレイン層25を選択気相成長するために、ソースおよびドレイン領域の表面に形成されたSi層22およびSiGe層（またはSiGeC層）23、そしてSi層54および原子層ドーピング層28を除去することによって、最終的に、Si層22およびSiGe層（またはSiGeC層）23からなるチャネル領域の直下に、原子層ドーピングによる高濃度の不純物原子を含む層28を設けるものである。

【0034】なお、上記原子層ドーピング層に代えて、Si基板21と同一伝導型の高濃度拡散層、高濃度イオン注入層または高濃度気相成長層等の高濃度不純物層をゲート領域下部に形成する構造とすることも可能である。

【0035】上記第1～第3の実施の形態においては、基板上に単一のMOSFETがある場合について説明したが、勿論集積回路の製造に適用して単一のチップ内に複数の上記MOSFETを形成するようにすることも可能である。またソースおよびドレイン領域等の不純物をn形またはp形について別個に導入するようにして、単一のチップ内にnMOSFETおよびpMOSFETを混在させるように形成することも可能である。

【0036】以上、本発明に係るいくつかの実施の形態について図示し、また説明したが、ここに記載された本発明の実施の形態は単なる一例であり、本発明の技術的範囲を逸脱せずに、種々の変形が可能であることは明らかである。

【0037】なお、本願発明は、上記実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば実施の形態に示される全構成要件から幾つかの構成要件が削除されていても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された効果が発明として抽出され得る。

【0038】

【発明の効果】以上説明したように、本発明によれば、図1および図2に示す第1の実施の形態、および図3に示す第2の実施の形態に示すように、Si/SiGe（またはSiGeC）チャネル領域形成後に形成されるソース・ドレイン領域が低温化学気相成長による選択気相成長法で形成されるため、SiGe層（またはSiGeC層）への不所望の不純物の拡散が抑制される。Geの拡散抑制によりSi/SiGe（またはSiGeC）ヘテロ構造の劣化が抑制され、不純物の拡散抑制によりソースとドレインの短絡が抑制される。また、ソース／

ドレイン層がせり上げ構造になっており寄生抵抗が低減される。

【0039】また、図4に示す第3の実施の形態におけるように、チャネル領域直下に原子層ドーピングによる高濃度不純物領域を設けることにより、パンチスルーが抑制され、ソース／ドレイン間が高耐圧化される。

【図面の簡単な説明】

【図1】本発明に係る第1の実施の形態を示す図である。

【図2】本発明に係る第1の実施の形態についての製造工程を示す図である。

【図3】本発明に係る第2の形態を示す図である。

【図4】本発明に係る第3の実施の形態を示す図である。

【図5】従来技術によるnMOSFETの構造を示す図である。

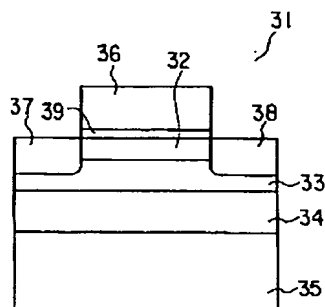
【図6】従来技術によるpMOSFETの構造を示す図である。

【符号の説明】

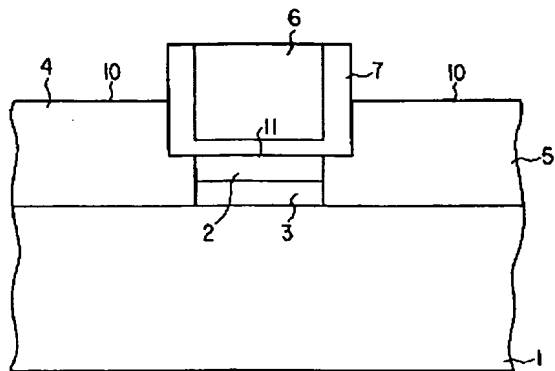
1 … Si基板
2 … チャネル領域のSi層
3 … チャネル領域のSiGe（またはSiGeC）層
4 … SiGe（またはSiGeC）ソース層
5 … SiGe（またはSiGeC）ドレイン層
6 … ゲート電極
7 … 絶縁層
8 … SiO₂層
9 … シリコンナイトライド層
10 … ソース／ドレイン層上端
11 … ゲート電極底部
12 … チャネル領域のSi層
13 … チャネル領域のSiGe（またはSiGeC）層
14 … SiGe（またはSiGeC）ソース層
15 … SiGe（またはSiGeC）ドレイン層
16 … ゲート電極
17 … 絶縁層

18 … 絶縁層
19 … Si層
20 … パッシベーション膜
21 … Si基板
22 … チャネル領域のSi層
23 … チャネル領域のSiGe（またはSiGeC）層
24 … SiGe（またはSiGeC）ソース層
25 … SiGe（またはSiGeC）ドレイン層
26 … ゲート電極
27 … 絶縁層
28 … 高不純物濃度Si層
29 … スルーホール
30 … 電極
31 … nMOSFET
32 … 歪Si層
33 … 無歪SiGe層
34 … SiGe傾斜バッファ層
35 … Si基板
36 … ゲート電極
37 … ソース領域
38 … ドレイン領域
39 … ゲート酸化膜
40 … Si基板表面
41 … pMOSFET
42 … 歪Si層
43 … 歪SiGe層
44 … 無歪SiGe層
45 … SiGe傾斜バッファ層
46 … Si基板
47 … ソース領域
48 … ドレイン領域
49 … ゲート酸化膜
50 … ゲート電極
51 … ソース底部
52 … ドレイン底部
53 … Si/SiGe（またはSiGeC）チャネル領域の底部

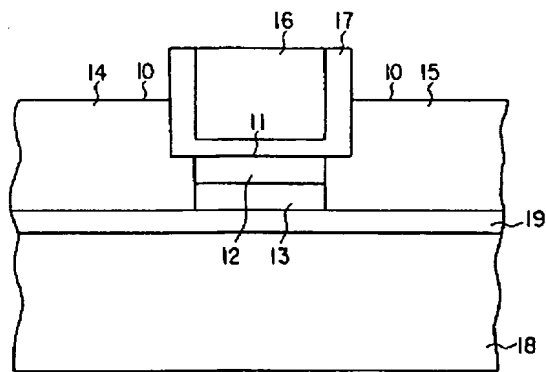
【図5】



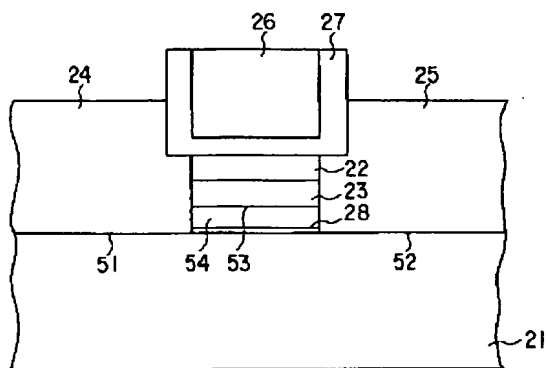
【図1】



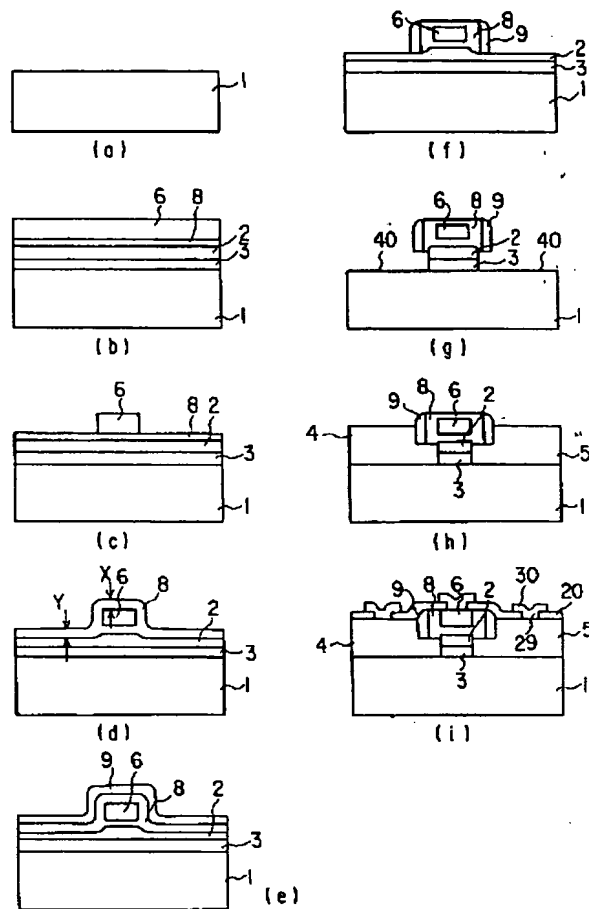
【図3】



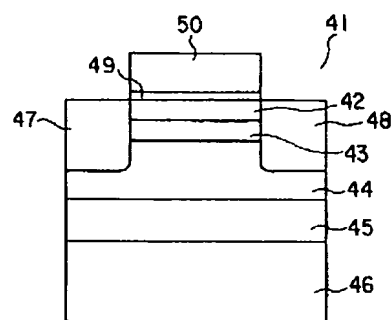
【図4】



【図2】



【図6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H O I L 29/78

テーマコード(参考)

6 1 6 L
6 1 8 B
6 1 8 E

(72)発明者 土屋 敏章

島根県松江市北田町58-10 ロイヤルマン
ション北田町501号

F ターム(参考) 5F040 DA10 DA14 DC01 EC07 EC08
EE05 EF09 FA05 FA07 FA10
FC06 FC09
5F045 AA06 AB01 AB02 AB03 AB32
AB33 AC01 AC08 AC12 AD08
AD09 AF03 BB06 BB07 CA05
DA52 HA13
5F110 AA03 AA04 CC01 DD05 DD13
DD24 GG01 GG02 GG12 GG19
HK08 HK34 QQ17

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.